

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232478

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.

H 01 L 43/08  
G 01 R 33/06  
H 01 L 27/22

識別記号 庁内整理番号

Z 9274-4M  
R 8203-2G  
9274-4M

F I

技術表示箇所

審査請求 未請求 請求項の数2 OL (全4頁)

(21)出願番号

特願平5-18570

(22)出願日

平成5年(1993)2月5日

(71)出願人 000003218

株式会社豊田自動織機製作所  
愛知県刈谷市豊田町2丁目1番地

(72)発明者 井川 保志

愛知県刈谷市豊田町2丁目1番地 株式会  
社豊田自動織機製作所内

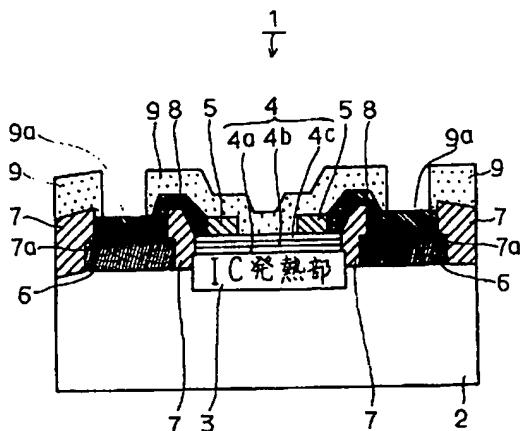
(74)代理人 弁理士 大曾 義之

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 回路の発熱部からの熱に起因する抵抗素子間での出力誤差を低減化するとともに、面積効率を向上させてチップサイズを小型化する。

【構成】 半導体基板2の上部には磁気抵抗素子5のみを形成するスペースを設けず、IC発熱部3の上部に層間絶縁層4a、金属層4b、および層間絶縁層4cの3層構造から成るコンデンサ4を形成し、その上部に強磁性体薄膜である磁気抵抗素子5をバターニングして形成する。IC発熱部3で発熱があっても、発生した熱は金属層4bで分散され、この面内では略均一な熱分布となる。そのため、コンデンサ4の上部に設けられた磁気抵抗素子5間での熱に起因する出力誤差は低減される。面積効率も向上してチップサイズも小型化される。



## 【特許請求の範囲】

【請求項1】 抵抗素子のパターンと該抵抗素子から得られる信号を処理する回路部とが、1つの半導体基板に集積回路化されて形成される半導体装置において、前記抵抗素子のパターンは、前記回路部に設けられる層間絶縁層と金属層とから成る積層構造体の上部に形成されることを特徴とする半導体装置。

【請求項2】 前記積層構造体は、コンデンサであることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に係り、特に、熱分布を考慮した構成の半導体装置に関する。

## 【0002】

【従来の技術】 半導体装置の集積化が進み、たとえば半導体装置の主要回路部が形成されている領域の近傍に、抵抗やその他の素子を形成することが一般的になってい

る。【0003】たとえば、外部磁界の変化に応じて抵抗率が変化する磁気抵抗素子を、その磁気抵抗素子からの信号を処理する回路とともに同一チップ上に形成した半導体装置が知られている。その一例として、特開昭59-159565号公報に記載されている装置がある。この装置は、上記公報中の第3図に図示されているように、MRIC (Magnetic Resistive Integrated Circuit以下、同じ) として半導体チップ上に集積化されて形成されているものである。

【0004】以下、上記公報中に示されている装置を再現する図3(a)乃至(e)を参照して、この従来例を説明する。図3(a)に示すように、半導体基板30には、磁気抵抗素子MR<sub>1</sub>、MR<sub>2</sub>、MR<sub>3</sub>、MR<sub>4</sub> (図3(e)参照) からの信号の処理を行うための集積回路31と、この回路の端子部となるパッド31Aが設けられ、また同図(b)に示すように、この半導体基板30の表面にパッド31Aを除いてガラス若しくはシリコン酸化膜より成る絶縁層32がコーティングされ、さらに同図(c)に示すように、Fe-Ni若しくはNi-Co合金より成る磁気抵抗素子膜33が絶縁層32の上に蒸着されている。

【0005】そして、同図(d)に示すように、磁気抵抗素子膜33がエッチング処理されて磁気抵抗素子のパターン33Aが形成され、次いで、上記半導体基板30は、同図(e)に示すように基台34に接着され、かつボンディングワイヤ35により基台34の端子とパッド31Aとが電気的に接続されている。

【0006】即ち、この従来の磁気検出装置は、半導体基板30に、磁気抵抗素子MR<sub>1</sub>、MR<sub>2</sub>、MR<sub>3</sub>、MR<sub>4</sub>がパターンとして形成され、かつ、これら磁気抵抗素子から得られる信号の処理を行う回路を集積回路として形成されているものである。

## 【0007】

【発明が解決しようとする課題】 ところで、一般に磁気抵抗素子の特性は温度依存性 (たとえば、抵抗温度係数) を有している。したがって、回路部が発する熱を考慮すると、その近くに磁気抵抗素子が複数個設けられている場合には、抵抗素子の温度が上昇することによる特性の変化だけでなく、各磁気抵抗素子と回路部の位置関係 (距離) によって磁気抵抗素子間に出力誤差が生じてしまうという問題があった。

【0008】これを防ぐための1つの手段としては、各磁気抵抗素子を回路部からの熱の影響が小さくなるような距離を隔てて形成することが考えられる。しかしながら、この場合、回路部の他に磁気抵抗素子を形成するための領域を確保しなければならず、チップサイズが大型化してしまうという問題があった。

【0009】上記図3に示す例は、集積回路31の上部に絶縁膜32を挟んで磁気抵抗素子MR<sub>1</sub>～MR<sub>4</sub>を形成する構成とすることによりチップサイズの問題を解決しているが、各磁気抵抗素子間の出力が熱による影響の

20 ために誤差が生じるという問題が残ってしまう。すなわち、発熱部である集積回路31と磁気抵抗素子MR<sub>1</sub>～MR<sub>4</sub>との間の絶縁膜32の熱伝導率は低いため、その絶縁膜32上においては熱分布が不均一になりやすく、各磁気抵抗素子MR<sub>1</sub>～MR<sub>4</sub>の温度が異なった状態となってしまうことがある。したがって、この場合、各磁気抵抗素子MR<sub>1</sub>～MR<sub>4</sub>間が異なった条件のもとに置かれるため、出力誤差が生じてしまうという問題があつた。

【0010】上述のような問題は、磁気抵抗素子のみに30 関するものではなく、温度依存性を有する素子を、発熱量が比較的大きい回路部とともに同一チップ上に形成する場合に生じてしまうが、特に上述の例のような外部物理量を検出する装置において考慮しなければならない。

【0011】本発明は、上記問題を解決するものであり、その課題は、回路の発熱部からの熱に起因する抵抗素子間での出力誤差を低減化するとともに、面積効率を向上させてチップサイズを小型化することである。

## 【0012】

【課題を解決するための手段】 本発明の半導体装置は、40 抵抗素子のパターンと該抵抗素子から得られる信号を処理する回路部とが、1つの半導体基板に集積回路化されて形成される半導体装置において、上記抵抗素子のパターンは、上記回路部に設けられた層間絶縁層と金属層とから成る積層構造体の上部に形成される。

## 【0013】

【作用】 本発明においては、抵抗素子のパターンは、回路部の層間絶縁層と金属層とから成る、たとえばコンデンサである積層構造体の上部に形成される。

【0014】このため、作動中に抵抗素子から得られる50 信号を処理する回路部で発熱があっても、発生した熱は

積層構造体の金属層にて分散されるため、この金属層の面内では略均一な熱分布となる。

【0015】したがって、抵抗素子は均一な熱分布を有する積層構造体の上部に形成されているため、発生した熱に起因する抵抗素子間での出力誤差が低減されることになる。また、抵抗素子を形成する位置は回路部の上部であり、回路部の他に抵抗素子を形成するための領域を設ける必要は無いので、面積効率が向上して、チップサイズが小型化される。

【0016】

【実施例】以下、本発明の半導体装置の一実施例として磁気検出装置を探り上げ、その構成を図面を参照しながら説明する。なお、本発明の磁気検出装置も図3に示した従来例と同様に1つの半導体チップにMRICとして集積化されて形成されている。

【0017】図1は、本発明の一実施例である磁気検出装置が構成される半導体チップの内部構造を示す断面図であり、図2はその要部のみを示す概略的平面図であって、図1は図2の半導体チップのA-A断面図である。

【0018】図1及び図2に示すように、半導体チップ1は、たとえばシリコンから成る半導体基板2の上方に、後述の磁気抵抗素子（以下、MREと略記する）からの信号を例えば増幅あるいは波形整形処理する集積回路（以下、ICと略記する）の発熱部3が形成されている。なお、この発熱部3は、ICからの発熱を便宜上1つの構造体として示しているに過ぎない。

【0019】また、IC発熱部3の上方には、層間絶縁層4a、金属層4b、および層間絶縁層4cの3層構造体から成るコンデンサ4が形成されている。このコンデンサ4の層間絶縁層4a、4cは、たとえばその層厚が数1000Åのシリコン酸化膜であり、金属層4bはたとえばその層厚が10000~30000Åのアルミニウムあるいはアルミニウムとポリシリコンである。

【0020】この4a、4b、4cから成る3層構造体は、通常のIC製造工程においてコンデンサを形成する工程で形成されるものである。したがって、この3層構造体を形成することによって、製造工程が複雑になることはない。

【0021】そして、コンデンサ4の上方には、強磁性体薄膜をバーニングして形成されるMRE5が複数個配設されている。なお、図では便宜上2個のみ示してある。これらMRE5は、たとえば外部磁界の大きさや方向に応じてその抵抗率が変化する素子であり、磁気検出装置であるMRICをレイアウトする場合、被検出磁界の性質によりMREの配置およびパターンが決まる。本実施例ではICプロセスで形成される積層構造を有するコンデンサの上方に配設している。

【0022】次に、IC発熱部3の両側方の半導体基板2の上方にはICパッド6が形成されており、さらにコンデンサ4とMRE5の上方領域を除きそのICパッド

6を覆って開口部7aを有する絶縁膜7が設置されている。

【0023】そして、絶縁膜7にはスルーホールが設けられ、開口部7aから露出するICパッド6とMRE5とを電気的に接続してMREパッド8が形成されている。次に、MREパッド8が形成された半導体基板2の上方には、開口部9aを有するバッシャーション膜9が設置されている。そして、開口部9aから露出するMREパッド8の上方には、電極パッド10（図1には特に示さず、図2に示す）が設置されている。

【0024】なお、図2には、半導体基板2とその上方に形成されたIC発熱部3、コンデンサ4、MRE5、および電極パッド10のみを示し、他の部材は図面を見やすくするために省略している。

【0025】上記のように、本実施例の磁気検出装置は、半導体チップ1においてIC発熱部3を形成する領域の他にMRE5を形成するスペースを設けずに、IC発熱部3の上部に形成された層間絶縁層4a、金属層4b、および層間絶縁層4cの3層構造から成るコンデンサ4の上部にMRE5を形成した構成である。したがって、チップの面積効率が良くチップサイズが小型化する。

【0026】また、上記3層構造から成るコンデンサ4の金属層4bは熱伝導率が高いので、IC発熱部から発生した熱はその金属層4bで分散されて、この面内では熱分布が略均一になる。したがって、このコンデンサ4の上部に形成されている複数のMRE5の周辺温度はほとんど同じになり、各MRE5が等しい温度のもとに置かれるので、IC発熱部3の発熱に起因するMRE間での出力誤差が低減することになる。

【0027】さらに、上記コンデンサ4の金属層4bからアルミニウム配線または銀ペイストなどを引き出すようにはすれば金属層4bから熱が逃げやすくなり、全体の温度を下げることができ、より正確な磁気検出が可能となる。

【0028】上記のように、本実施例によれば、IC作動中に発熱があっても、MRE間での熱に起因する出力誤差を低減することができる。そのうえ、面積効率が向上してチップサイズを小型化できる。

【0029】なお、上記実施例においては、層間絶縁層、金属層、および層間絶縁層の3層構造体がコンデンサである場合を例にとり説明したが、特にコンデンサに限られないことは勿論であり、ICプロセスで作製される絶縁層と金属層の積層構造を有する他の素子にも本発明は適用可能である。

【0030】また、上記実施例においては、絶縁層と金属層の積層構造体の上部に磁気抵抗素子を形成したが、本願発明はこれに限ることはなく、温度依存性を有する一般的な抵抗素子である場合にも適用可能である。

【発明の効果】本発明によれば、ICの発熱部の上部に層間絶縁層と金属層からなる積層構造体を形成しその上部に抵抗素子を形成する構造としたので、IC作動中に発熱があっても、抵抗素子間での熱に起因する出力誤差を低減することができる。また、面積効率が向上して、チップサイズを小型化できる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置の内部構造を示す断面図である。

【図2】図1の要部のみを示す概略的な平面図である。\*10 5 磁気抵抗素子

\*【図3】従来の磁気検出装置の一例を製造工程ごとに示した斜視図である。

【符号の説明】

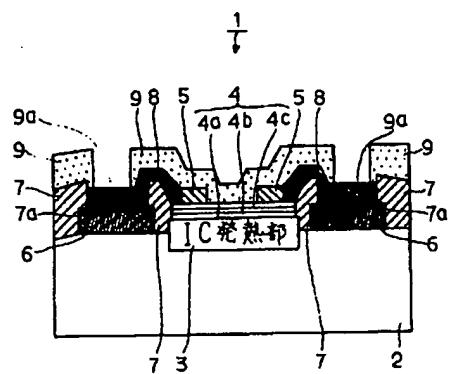
2 半導体基板  
3 IC発熱部

4 コンデンサ  
4a 層間絶縁層

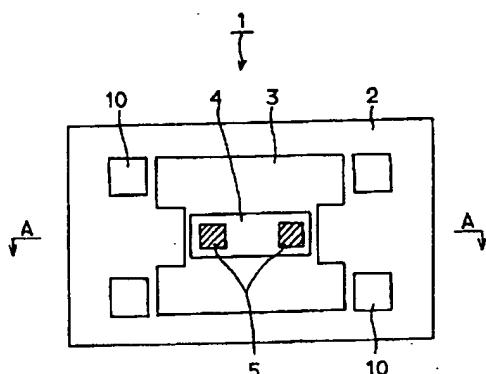
4b 金属層  
4c 層間絶縁層

5 磁気抵抗素子

【図1】



【図2】



【図3】

